

#2

日 本 国 特 許 庁

JAPAN PATENT OFFICE

JC973 U.S. PTO
10/054964
01/25/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月31日

出 願 番 号

Application Number:

特願2001-023467

[ST.10/C]:

[JP2001-023467]

出 願 人

Applicant(s):

ローム株式会社

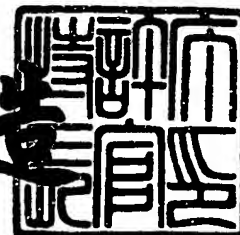
U.S. Appln. Filed 1-25-02
Inventor: N. Sumiyoshi
Mattingly Stanger & Malur
Docket KY-172

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 1月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 PR00-0637

【提出日】 平成13年 1月31日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H03L 7/099

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 住吉 信哉

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代表者】 佐藤 研一郎

【代理人】

【識別番号】 100079555

【弁理士】

【氏名又は名称】 梶山 侑是

【電話番号】 03-5330-4649

【選任した代理人】

【識別番号】 100079957

【弁理士】

【氏名又は名称】 山本 富士男

【電話番号】 03-5330-4649

【手数料の表示】

【予納台帳番号】 061207

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711313

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 サンプリングクロック発生回路

【特許請求の範囲】

【請求項 1】

共通の電力受給ラインに接続されたインバータが m 個 (m は 3 以上の奇数値) 従属接続されたリングオシレータと、前記電力受給ラインに接続されたインバータが $2m$ 個あるいは $2m-1$ 個従属接続され外部からのクロックを受けてこれを遅延する遅延回路と、前記リングオシレータを電圧制御発振回路として前記電力受給ラインの電圧を PLL ループにより制御することで前記リングオシレータの発振周波数を制御する PLL 回路とを備え、前記遅延回路のインバータの出力から、シリアルに伝送されたデータをパラレルに出力するためのデータサンプリングクロックを得ることを特徴とするサンプリングクロック発生回路。

【請求項 2】

前記クロックは、装置本体から伝送されたデータと同時に伝送されたクロックであり、前記データは、前記クロックに対して n 倍 (2 以上の整数) の周波数で n 個単位でシリアルに伝送され、 n 個単位でパラレルに出力される請求項 1 記載のサンプリングクロック発生回路

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、サンプリングクロック発生回路に関し、詳しくは、伝送された外部クロック CLK に対して n 倍 (n は 2 以上の整数) の速度で高速にデータを n 個単位でシリアルに伝送し、受信側でシリアルに伝送された n 個のデータを n 倍のサンプリングクロックを用いて n 個単位でパラレルにデータ変換して受信データを出力する伝送方式において、伝送された外部クロック CLK のジッタに対してデータのミスサンプリングを防止することができるようなデータサンプリングクロックを発生するサンプリングクロック発生回路に関する。

【0002】

【従来の技術】

従来、パーソナルコンピュータから周辺機器にデータを伝送するときには、クロックとともにデータが伝送されることになるが、最近では、シリアル高速データ伝送が行われ、送信側のクロックCLKよりも n 倍の速度でデータをシリアルに n 個単位で高速伝送し、このクロックCLKを外部クロックとして受信側で受けて n 倍のサンプリングクロックCKを生成して n 個のサンプリングクロックCKに基づいて送信された n 個単位のシリアルデータを n 個単位で平行に分配するデータ伝送方式が行われている。

この種の高速伝送方式は、パーソナルコンピュータからプリンタ、液晶表示装置への伝送、デジタルTV、セットトップボックス等の内部での伝送、各種通信機器、その他、コンピュータの周辺機器のデータ伝送において行われていて、伝送される外部クロックCLKを受けて n 個のデータを平行に出力するためにPLL制御された n 倍（ n は2以上の整数）のサンプリングクロックをデータ受信側で受信した外部クロックCLKから発生するPLL制御のサンプリングクロック発生回路が設けられている。

なお、生成される n 倍のクロックCKとしては、周期 T が外部クロックCLKと同じでサンプリングクロックCKが 7 分割した中央にくるように最初のクロックCKが $T/2n$ だけ位相がずれ、その後のクロックCKが前のクロックCKに対して順次 $+T/n$ だけ位相がずれた n 個のクロックCKとして生成し、その立ち上がりエッジ部分が利用される。

また、外部クロックCLKやデータの伝送は、 180 度位相が相違する正相、逆相の2位相でデータを2本の線により同時に伝送して送受信する差動動作のバッファによるLVDS方式が採られている。

【0003】

その一例として、デジタル伝送の液晶表示装置では、コンピュータ本体側から伝送される外部クロックCLKに対して7倍（ $n=7$ ）の速度で7個のデータがシリアルに伝送され、受信側でそれが平行に出力される。

この場合の受信側での n 倍（ $n=7$ ）のサンプリングクロック発生回路は、図3に示すように、伝送されたリングオシレータをVCO（電圧制御発振回路）として利用したPLL回路が用いられている。そして、 n 段（ただし n が偶数のと

きには $n + 1$ 段) のリングオシレータの各段の出力をサンプリングクロックとして取出す。

具体的に説明すると、図 3 において、1 は、 n 倍 ($n = 7$) のサンプリングクロック発生回路であり、2 は、位相比較回路、3 は、チャージポンプ回路、4 は、ローパスフィルタ (LPF)、5 は、7 段のインバータが従属接続されたリングオシレータである。

このように、リングオシレータを PLL 制御の VCO とするものでは、例えば、発振制御電圧を発生するローパスフィルタ (LPF) 4 の出力電圧をボルテージフォロアで受けて、このボルテージフォロアの出力を電源ラインとして動作する奇数段接続のインバータによりリングオシレータが構成され、最終段のインバータの出力を初段のインバータの入力に帰還する。これにより LPF 4 の出力電圧に応じて各インバータの動作電流が制御されて発振周波数が制御される。

【0004】

位相比較回路 2 では、コンピュータ本体側から送信回路 9 により伝送された周期 T の外部クロック CLK が入力され、これに同期した 7 個のサンプリングクロック CK がリングオシレータ 5 の初段と、これから 2 段置きに取出される。

リングオシレータ 5 から得られる 7 個のサンプリングクロック CK は、シリアル/パラレル変換回路 6 に送出され、R、G、B に対応する 3 個のデータを 7 倍速で受信するデータ受信回路 7 からの R、G、B の各データが 7 倍速で 7 個単位にシリアル/パラレル変換回路 6 でパラレルデータに変換されてコントローラ 8 に出力される。

なお、10a は、コンピュータ本体側に設けられた送信回路 9 と受信回路 7 とを結ぶデータ伝送ラインであり、10b は、送信回路 9 と受信回路 7 とを結ぶクロック CLK の伝送ラインである。ここでの送受信は、差動アンプをドライバとして正相、逆相の 2 位相の LVDS 方式で各データとクロック CLK とが送受信される。

【0005】

リングオシレータ 5 から出力されるサンプリングクロック CK は、図 4 に示すように、各奇数段から取出されることで、初段のサンプリングクロック CK が周

期 T で $T/14$ だけ位相がずれ、以後 $+T/7$ だけ位相がずれたクロック CK がそれぞれ出力され、これらクロック CK の立ち上がりエッジがサンプリングタイミングとされる。そして、データを n 倍で伝送する場合には、このサンプリングクロック CK の各エッジは、受信外部クロック CLK の n 倍と等価なクロックとなる。

【0006】

【発明が解決しようとする課題】

しかし、液晶表示装置などでは、 $XGA(1024 \times 768)$ の表示を行うような場合には、外部クロック CLK の周期は、 $15.38 \text{ nsec} (\approx 65 \text{ kHz})$ 程度で抑えられるが、7倍速のデータは、 $2.20 \text{ nsec} (\approx 455 \text{ kHz})$ と極めて短い周期になる。そこで、ケーブルを介して伝送された外部クロック CLK がジッターを起こすと伝送されたデータとの間でずれが大きくなり、データの立ち上がり、立ち下がりの不確定な期間が前後に移動してサンプリングできる範囲が 1 ns か、それ以下に落ち込む。そのために、 PLL 制御で n 倍のサンプリングクロック CK を発生させても、これにより精度の高いデータの受信ができなくなる問題がある。

その一例として図4にジッターによるタイミングを楕円棒で示す。

この発明は、このような従来技術の問題点を解決するものであって、伝送された外部クロック CLK のジッターに対してデータのミスサンプリングを防止することができるデータサンプリングクロックを発生するサンプリングクロック発生回路を提供することにある。

【0007】

【課題を解決するための手段】

このような目的を達成するこの発明のサンプリングクロック発生回路の特徴は、共通の電力供給ラインに接続されたインバータが m 個 (m は 3 以上の奇数値) 従属接続されたリングオシレータと、電力供給ラインに接続されたインバータが $2m$ 個あるいは $2m-1$ 個従属接続され外部からのクロックを受けてこれを遅延する遅延回路と、リングオシレータを電圧制御発振回路として電力供給ラインの電圧を PLL ループにより制御することでリングオシレータの発振周波数を制御

するPLL回路とを備え、遅延回路のインバータの出力から、シリアルに伝送されたデータをパラレルに出力するためのデータサンプリングクロックを得るものである。

【0008】

【発明の実施の形態】

このように、この発明では、リングオシレータと同一構成で実質的に2倍の接続段数のインバータの遅延回路を設けて、各インバータの遅延時間を実質的に等しく制御し、外部クロックCLKと同じ基準周波数の発振をリングオシレータにさせておき、実際のサンプリングクロックは、そのときどきの外部クロックCLKを受けてこれのジッタに合わせて遅延回路で外部クロックCLKに同期させた遅延クロックをサンプリングクロックとして得る。

このときリングオシレータを構成するインバータと遅延回路を構成するインバータとは実質的に同じ遅延時間になるように制御されているので、遅延回路のインバータの遅延時間もPLL制御がなされる。

このように入力される外部クロックCLKを直接参照してサンプリングクロックを発生させることで、パラレル／シリアル変換処理におけるデータのミスサンプリングが発生し難くなる。

【0009】

【実施例】

図1は、この発明のサンプリングクロック発生回路を適用した一実施例のブロック図であり、図2は、そのサンプリングクロックの波形図である。なお、図3と同一構成のものは同一の符号で示し、それらの説明を割愛する。

図1において、11は、PLL制御のサンプリングクロック発生回路回路であり、12は、7段のインバータ12aが従属接続されたリングオシレータ、13は、同様に14段のインバータ13aが従属接続され受信した外部クロックCLKを受けてこれを遅延させる遅延回路（ディレーライン）である。そして、各インバータ12a、13aの電力供給ライン14は、ボルテージフォロア15の出力ラインに接続され、ボルテージフォロア15は、LPF4の出力電圧を受ける。

ここで、リングオシレータ 1 2 を構成するインバータ 1 2 a と遅延回路 1 3 を構成するインバータ 1 3 とは同一特性のものである。そこで、遅延回路 1 3 のインバータ 1 3 a の遅延時間も P L L 制御がなされ、インバータ 1 2 a と同じ遅延時間を持つことになる。

なお、図示するように、ここでは、奇数段のインバータ出力を利用するので、遅延回路の最終段のインバータは不要である。したがって、インバータの接続段数は $1 3$ 個 ($2 m - 1$ 個) であってもよい。

ところで、遅延回路 1 3 の初段の遅延時間は、図 2 に示すように m 分割された周期 T の中央位置にサンプリング点を設定する必要上、 $T / 2 m$ 分だけ位相 (インバータ 1 3 a の遅延時間) をずらせることが必要となる。一方、リングオシレータ 1 2 では、パルスの立ち上がり、立ち下がりそれぞれのインバータ 1 2 a が反転するので、インバータ 1 2 a の遅延時間を k とすると、立ち上がり側と立ち下がり側により周期として周期 T が $T = 2 m \times k$ となり、その発振周波数は、 $1 / (2 m \times k)$ となる。そこで、遅延回路 1 3 の接続段数は、 $2 m$ 個あるいは $2 m - 1$ 個必要になって、この実施例では、2 倍の $1 4$ 段となる。このとき、それぞれのインバータ 1 2 a、1 3 a 一個の遅延時間は等しくなる。

【 0 0 1 0 】

各サンプリングクロック $C K$ は、図 2 にジッターとして楕円棒で示すように、受信した外部クロック $C L K$ に応じてジッターが発生するクロック $C K$ となり、7 倍速の場合には、ジッターが発生しても、そうでなくても、7 分割した、実質的にその中央の位置にそれぞれのサンプリングクロック $C K$ の立ち上がり位置が設定される。

これにより追従可能なジッターの範囲を広く採ることができる。

【 0 0 1 1 】

以上説明したきたが、実施例では、リングオシレータ、遅延回路を構成する遅延素子をインバータとしているが、このインバータには、差動増幅器、オペアンプ等を反転アンプとして利用する場合も含むものである。

実施例では、クロックに対して 7 倍速でデータを転送する場合を説明しているが、高速伝送の速度は、7 倍以上の速度であってよいことはもちろんである。

【 0 0 1 2 】

【発明の効果】

以上説明してきたが、この発明にあっては、リングオシレータと同一構成で実質的に2倍の接続段数のインバータの遅延回路を設けて、各インバータの遅延時間を実質的に等しく制御し、外部クロックCLKと同じ基準周波数の発振をリングオシレータにさせておき、実際のサンプリングクロックは、そのときどきの外部クロックCLKを受けてこれのジッタに合わせて遅延回路で外部クロックCLKに同期させた遅延クロックをサンプリングクロックとして得る。

このように入力される外部クロックCLKを直接参照してサンプリングクロックを発生させることで、パラレル／シリアル変換処理におけるデータのミスサンプリングが発生し難くなる。

【図面の簡単な説明】

【図1】

図1は、この発明のサンプリングクロック発生回路を適用した一実施例のブロック図である。

【図2】

図2は、そのサンプリングクロックの波形図である。

【図3】

図3は、従来の n 倍（ $n=7$ ）のサンプリングクロック発生回路のブロック図である。

【図4】

図4は、図3のサンプリングクロック発生回路におけるサンプリングクロックの波形図である。

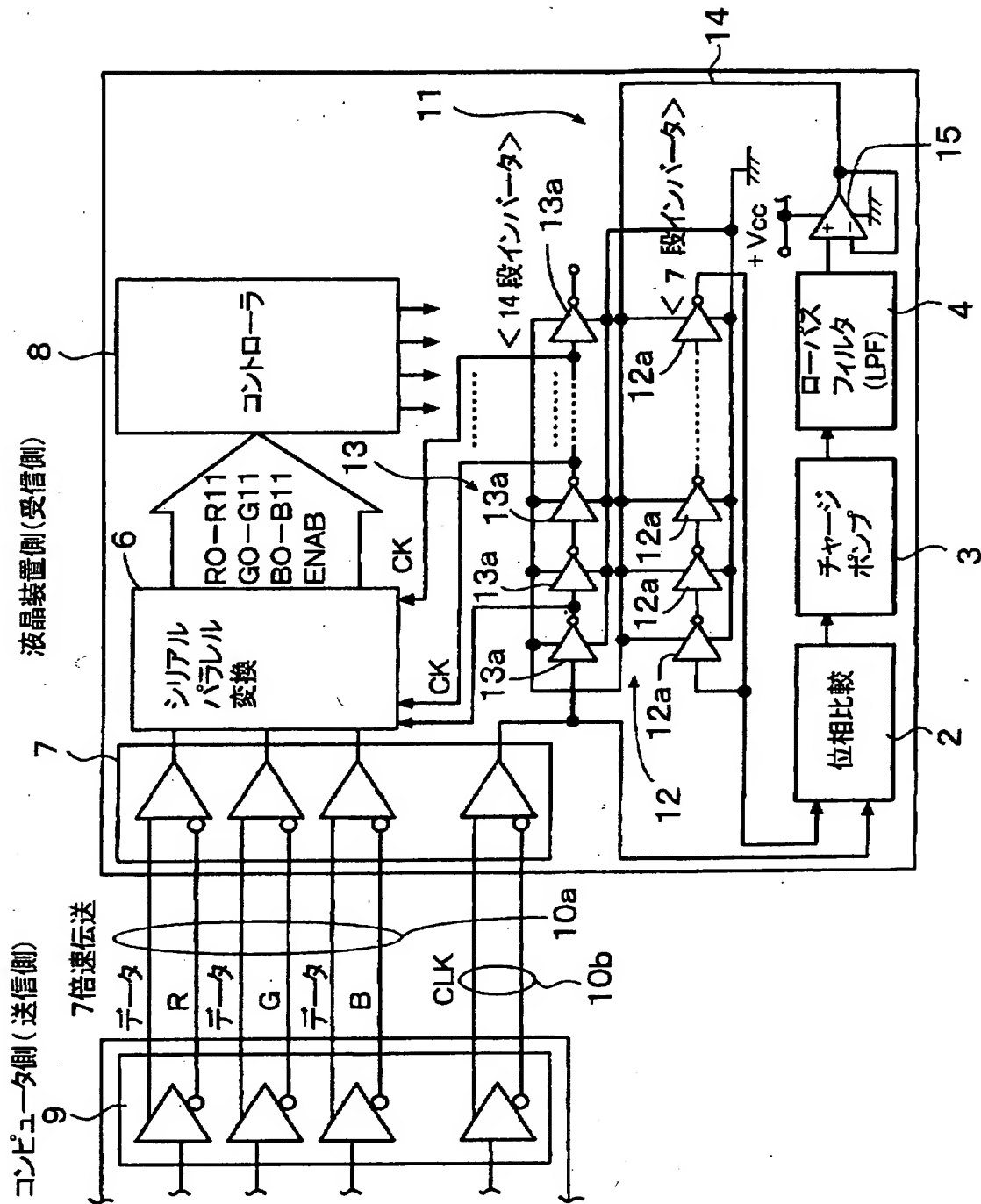
【符号の説明】

- 1, 11…サンプリングクロック発生回路、2…位相比較回路、
- 3…チャージポンプ回路、4…ローパスフィルタ（LPF）、
- 5, 12…リングオシレータ、6…パラレルシリアル回路、
- 7…データ受信回路、8…コントローラ、9…送信回路、
- 1.0…伝送ライン、12a, 13a…インバータ、

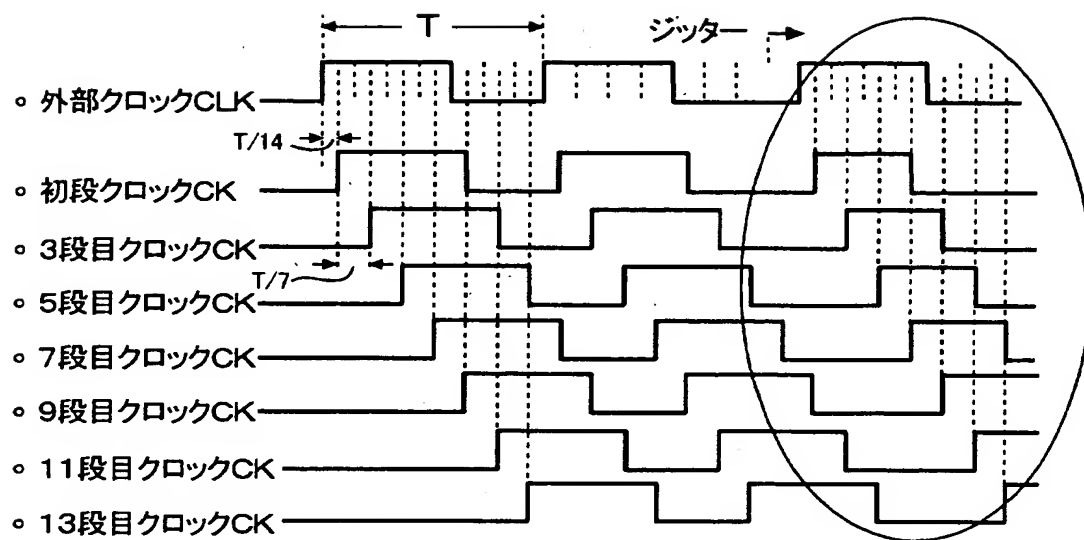
- 1 3 …遅延回路、1 4 …ボルテージフォロア、
- 1 5 …電力供給ライン。

【書類名】 図面

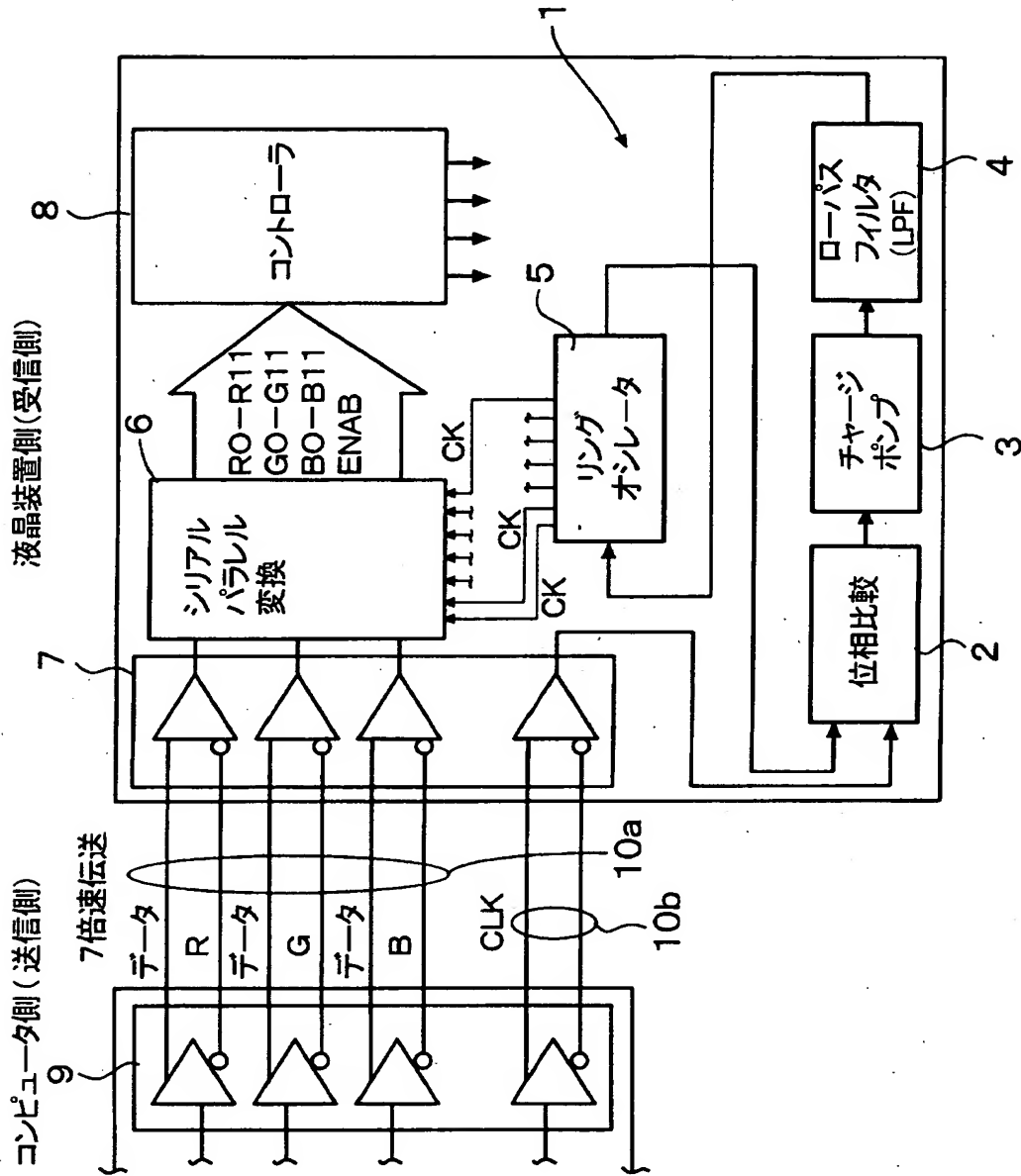
【図 1】



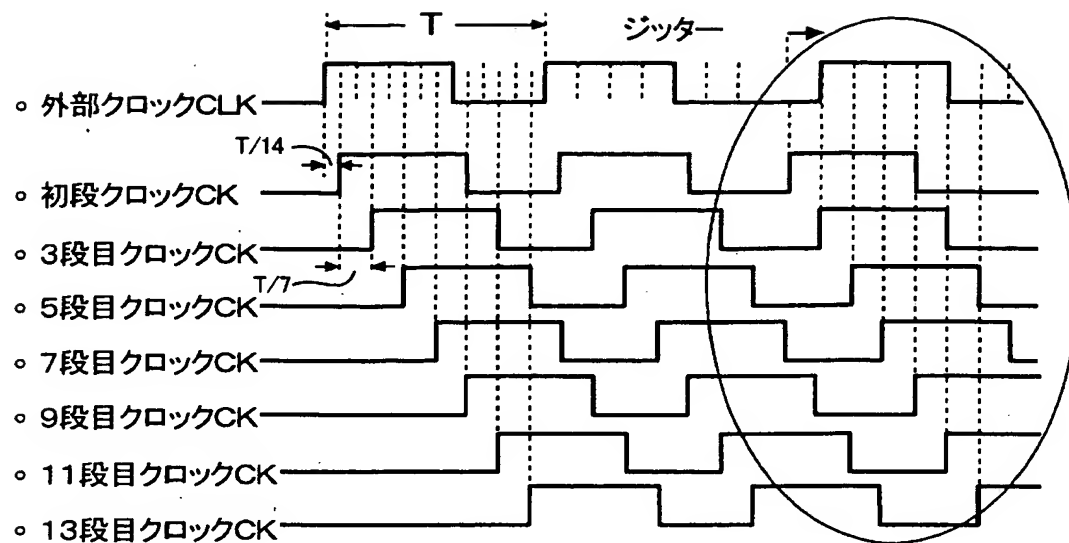
【図2】



【図 3】



【図 4】



【書類名】

要約書

【要約】

【課題】

伝送された外部クロックCLKのジッタに対してデータのミスサンプリングを防止することができるデータサンプリングクロックを発生するサンプリングクロック発生回路を提供することにある。

【解決手段】

この発明は、共通の電力供給ラインに接続されたインバータが m 個（ m は3以上の奇数値）従属接続されたリングオシレータと、電力供給ラインに接続されたインバータが m 個あるいは $m-1$ 個従属接続され外部からのクロックを受けてこれを遅延する遅延回路と、リングオシレータを電圧制御発振回路として電力供給ラインの電圧をPLLループにより制御することでリングオシレータの発振周波数を制御するPLL回路とを備え、遅延回路のインバータの出力から、シリアルに伝送されたデータをパラレルに出力するためのデータサンプリングクロックを得るものである。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000116024]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 京都府京都市右京区西院溝崎町21番地
氏 名 ローム株式会社